

# Praktikum Digitaltechnik

Gruppe 4.21.1

Karg, Michael  
Uhl, Michael  
Hornung, Jörg

Versuch:

Aufgabe 3

Versuchsdatum:

12. Juni 2003

Abgabedatum:

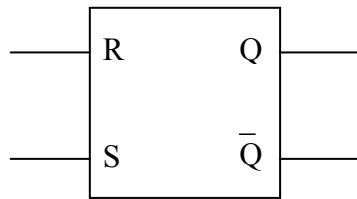
26. Juni 2003

Betreuer:

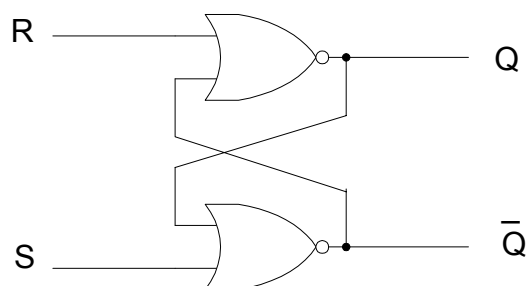
Prof. Rinner

### 3.1 Einstufiges asynchrones RS-Flip-Flop aus NOR-Gattern

Symbol:



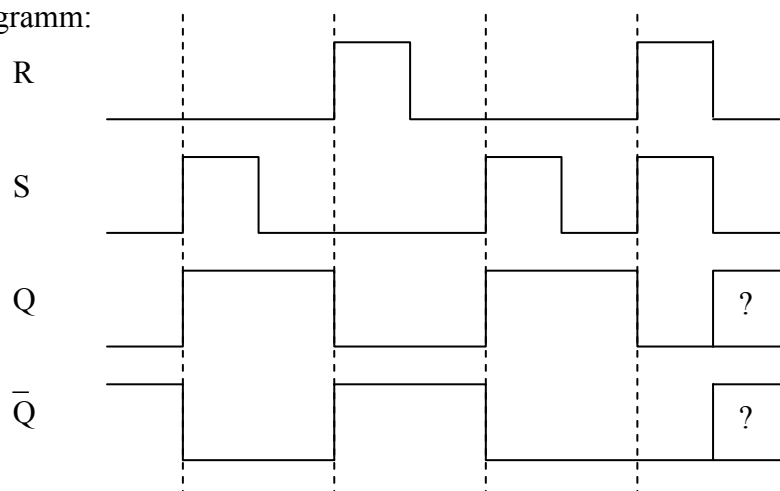
Schaltbild:



Funktionstabelle:

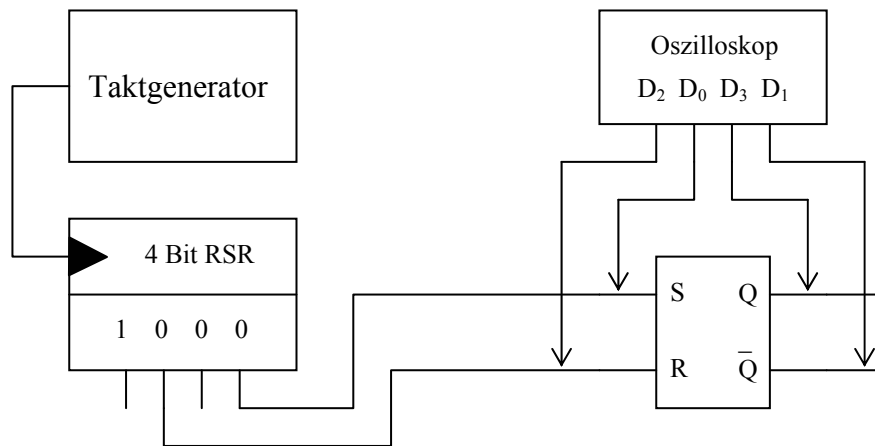
T	R	S	$Q_{t+1}$	$\overline{Q}_{t+1}$	Funktion
T <sub>1</sub>	0	1	1	0	Setzen
T <sub>2</sub>	0	0	1	0	Speichern
T <sub>3</sub>	1	0	0	1	Rücksetzen
T <sub>4</sub>	0	0	0	1	Speichern
T <sub>5</sub>	1	1	0	0	Verboten
T <sub>6</sub>	0	0	?	?	Nicht definiert

Pulsdiagramm:

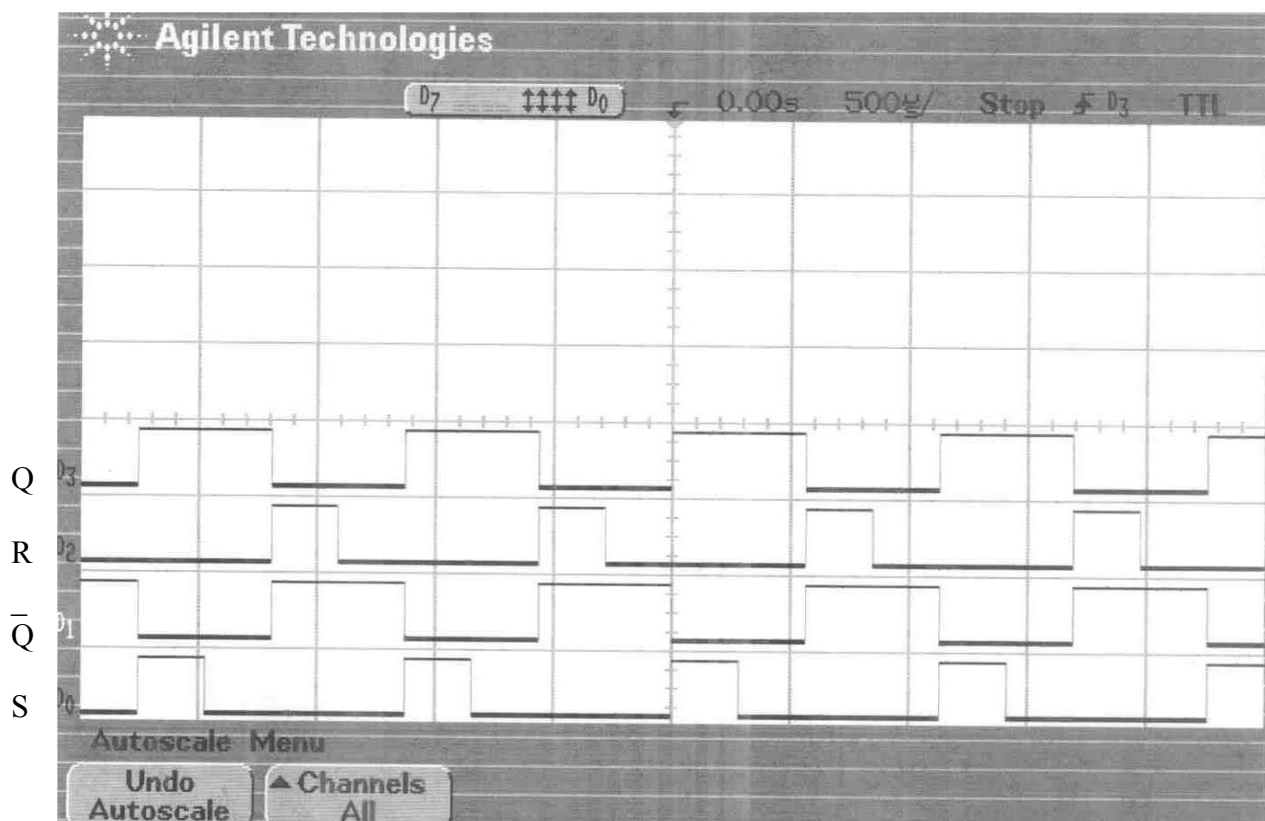


**Dynamische Messung mit rückgekoppeltem 4 Bit Schieberegister und einer Frequenz von 10 kHz.:**

Messaufbau:

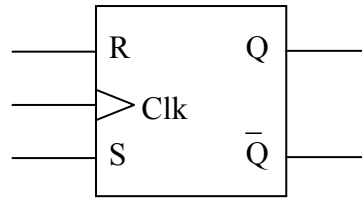


Versuchsdurchführung:

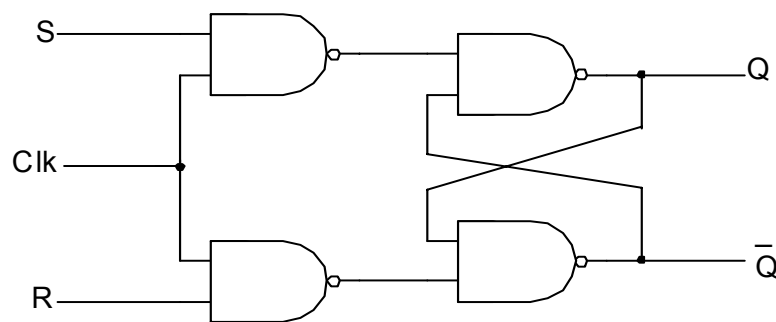


### 3.2 Einstufiges synchrones RS-Flip-Flop, positiv flankengesteuert, mit Hilfe von NAND-Gattern

Symbol:



Schaltbild:



R und S gedreht!

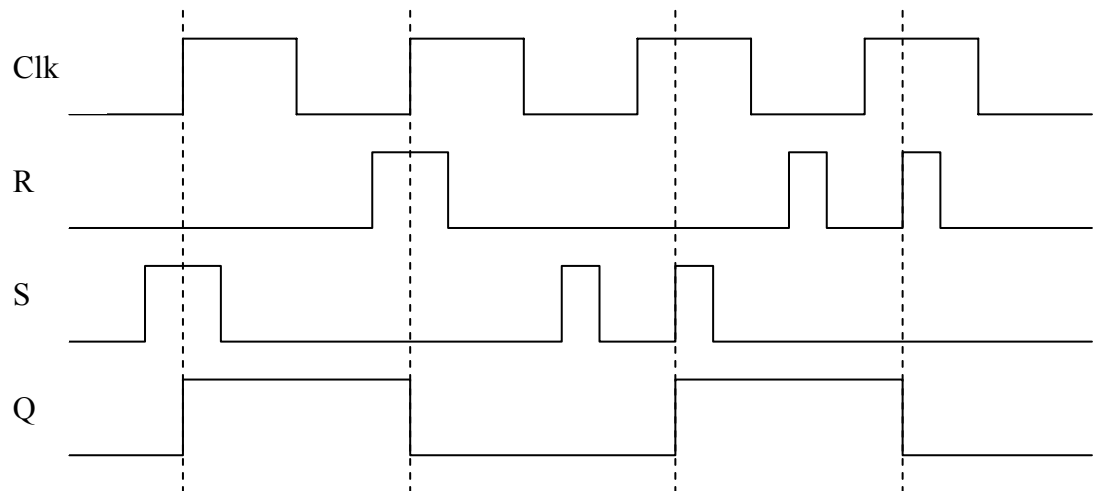
Funktionstabelle:

Für Clk = 1:

T	R	S	$Q_{t+1}$	$\overline{Q_{t+1}}$	Funktion
T <sub>1</sub>	0	1	1	0	Setzen
T <sub>2</sub>	0	0	1	0	Speichern
T <sub>3</sub>	1	0	0	1	Rücksetzen
T <sub>4</sub>	0	0	0	1	Speichern
T <sub>5</sub>	1	1	1	1	Verboten
T <sub>6</sub>	0	0	?	?	Nicht definiert

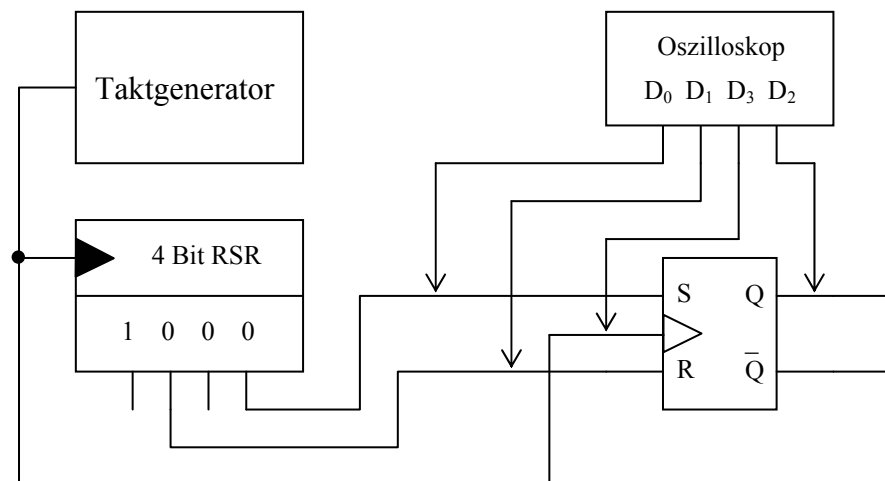
Bei Clk = 0, werden R und S abgekoppelt und der momentane Zustand wird gespeichert und kann nicht mehr verändert werden.

Pulsdiagramm:

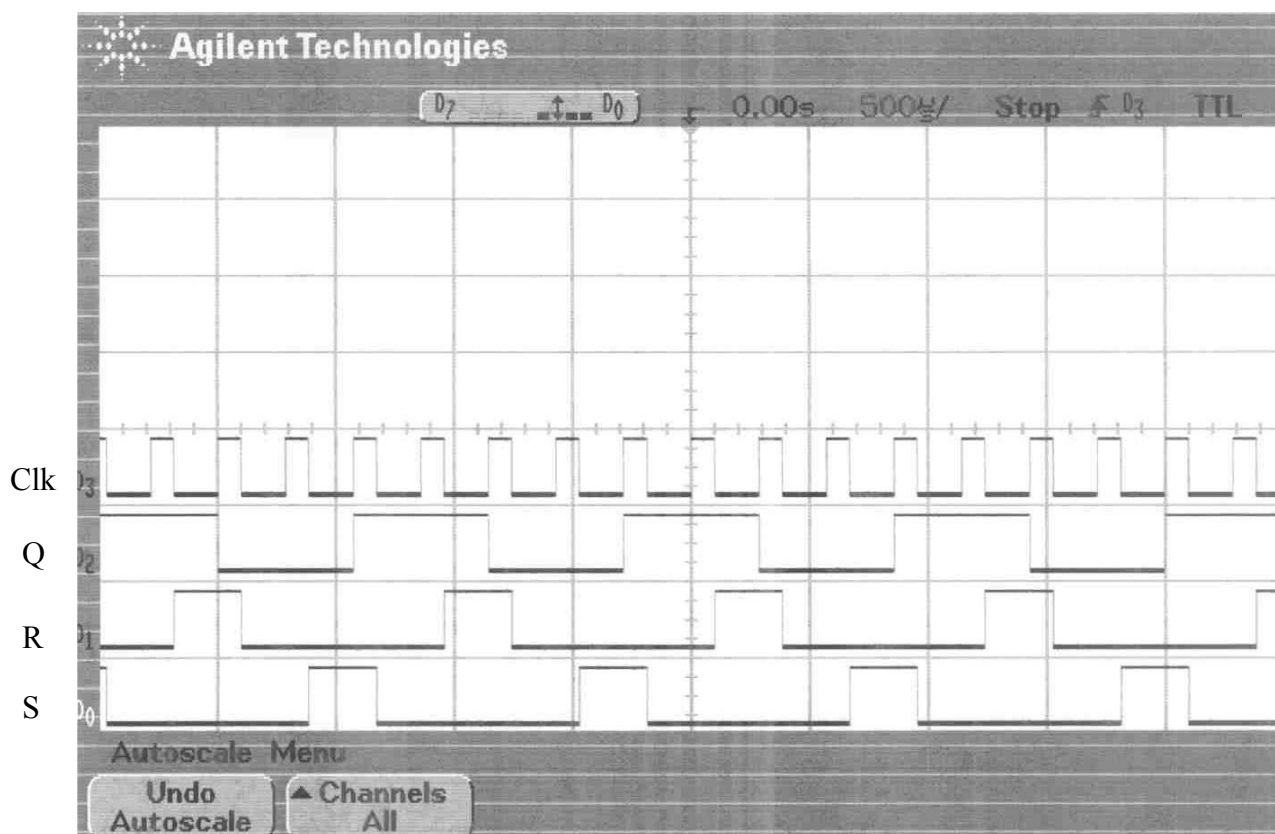


**Dynamische Messung mit rückgekoppeltem 4 Bit Schieberegister und einer Frequenz von 10 kHz.:**

Messaufbau:

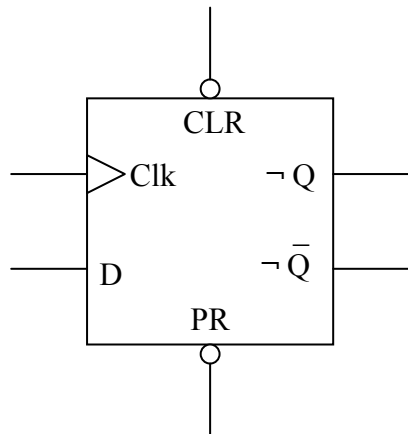


Versuchsdurchführung:



### 3.3 Master-Slave D-Flip-Flop HC7474 mit positiver Aktivflanke

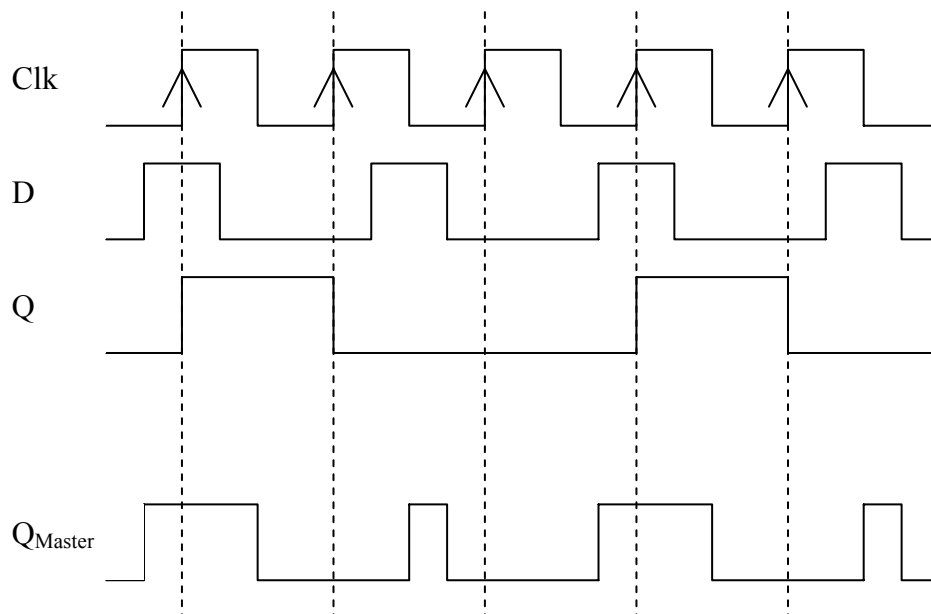
Symbol:



Funktionstabelle:

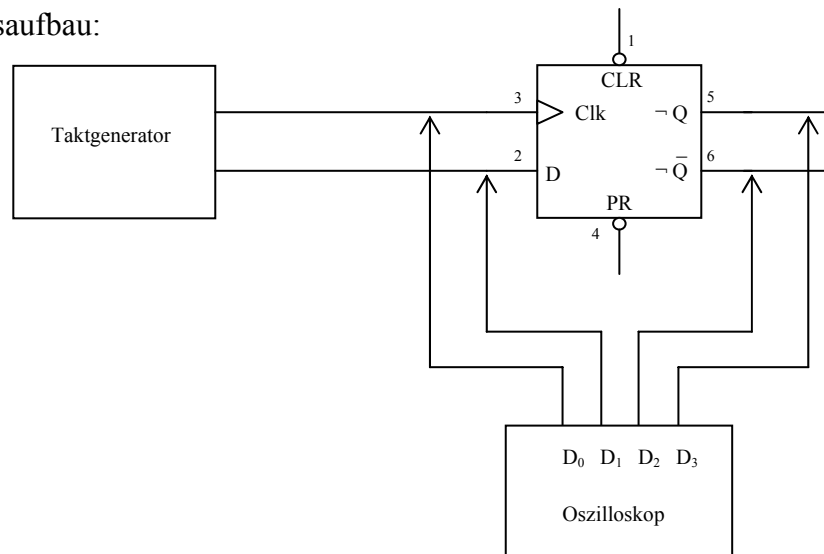
Clk	D	$Q_{t+1}$	Funktion
1 $\nabla$ 0	0	$Q_t$	Speichern
1 $\nearrow$ 0	1	$Q_t$	Speichern
0 $\nearrow$ 1	0	0	Rücksetzen
0 1	1	1	Setzen

Pulsdiagramm:

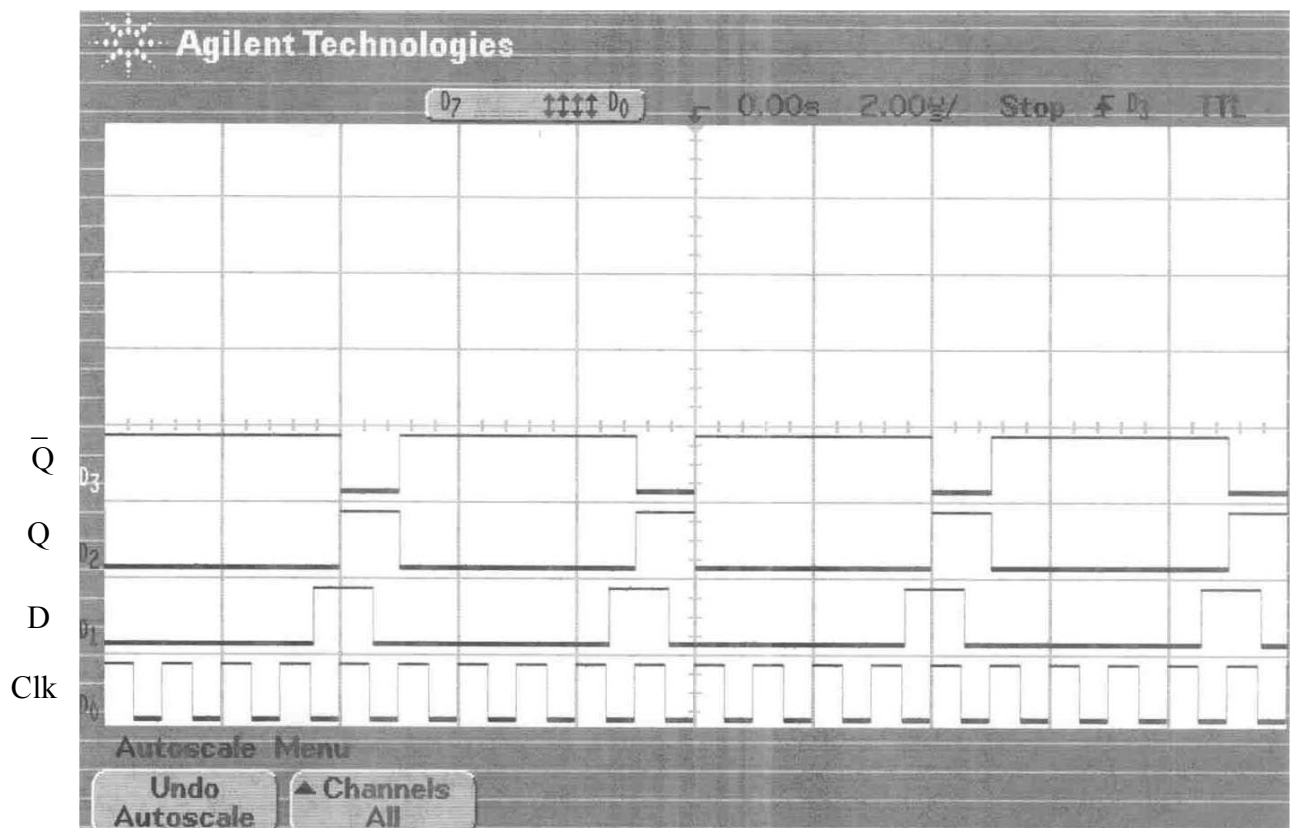


**Dynamische Messung mit einer Clock-Frequenz von 1MHz**

Messaufbau:

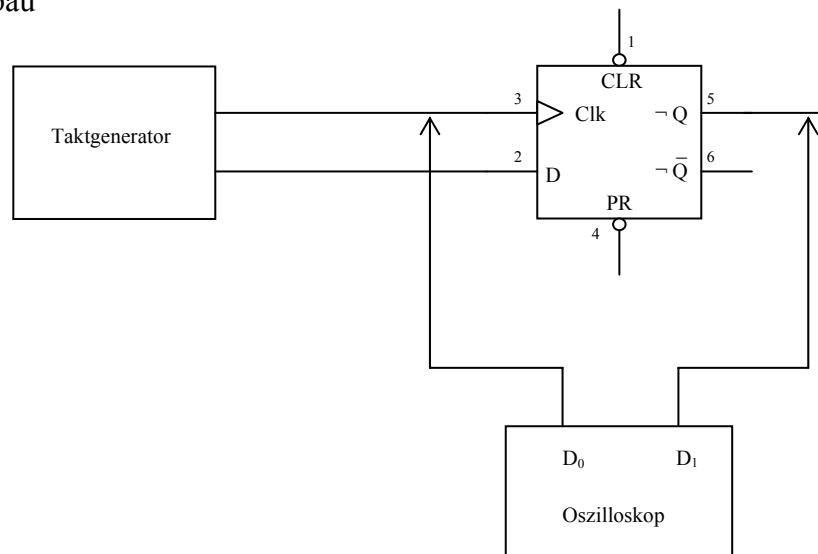


Versuchsdurchführung:

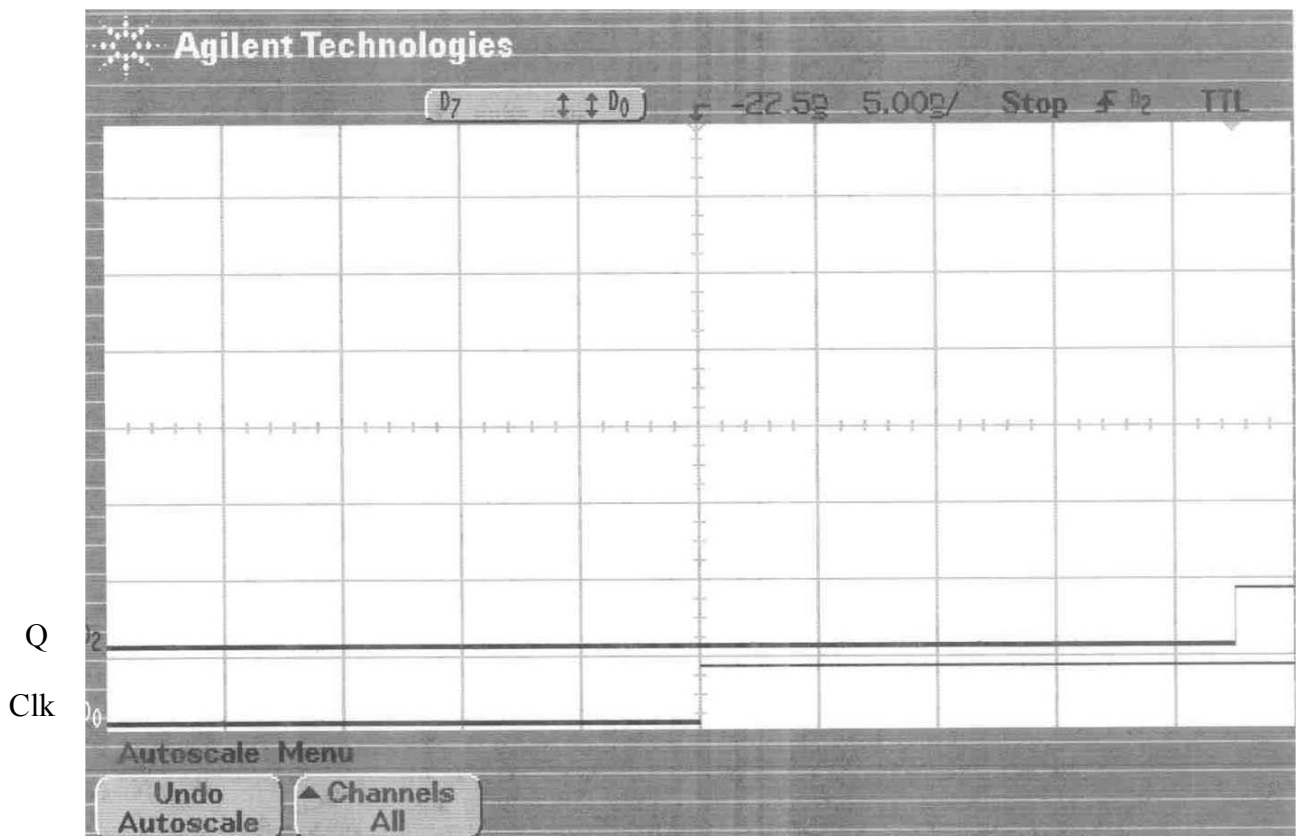


### 3.4 Signallaufzeit $t_{\text{Clk} \rightarrow Q}$ des MS-D-Flip-Flop HC7474

Messaufbau



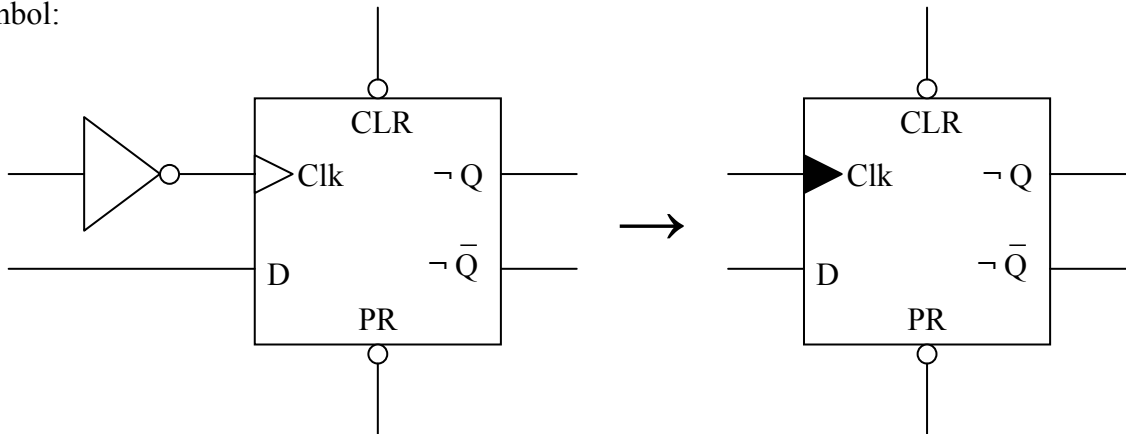
Versuchsdurchführung (Übergang von 0 nach 1 am Eingang D):



Die Signallaufzeit beträgt 22,5ns.

### 3.5 MS-D-Flip-Flop HC7474 mit negativer Aktivflanke

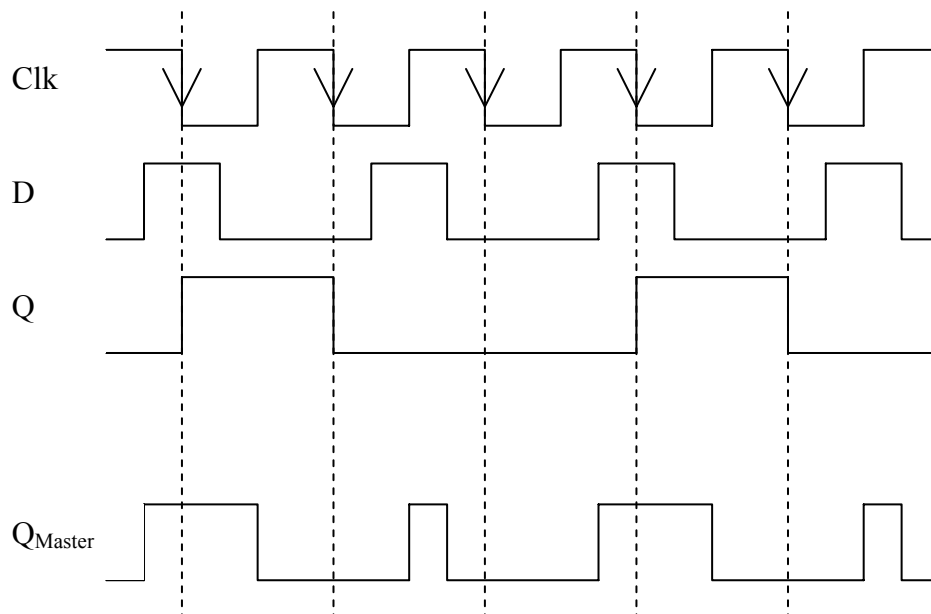
Symbol:



Funktionstabelle:

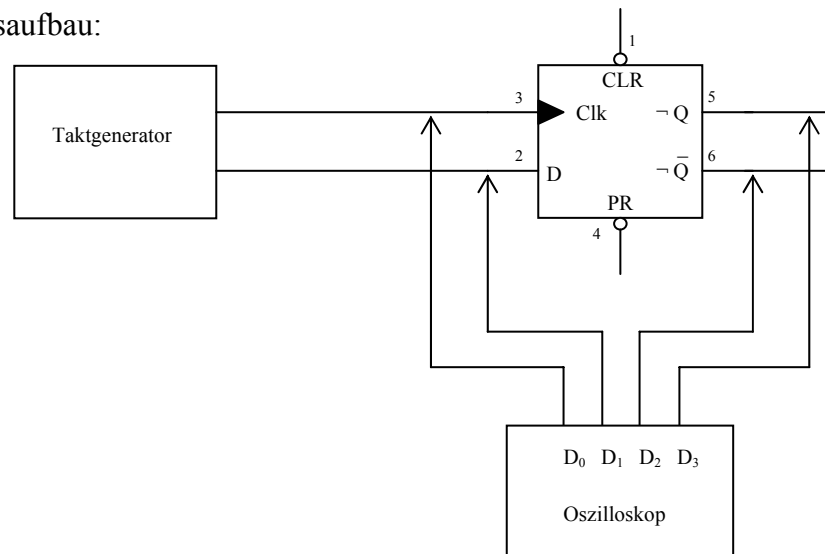
Clk	D	$Q_{t+1}$	Funktion
1 $\nabla$ 0	0	0	Rücksetzen
1 $\nearrow$ 0	1	1	Setzen
0 $\nearrow$ 1	0	$Q_t$	Speichern
0 1	1	$Q_t$	speichern

Pusldiagramm:

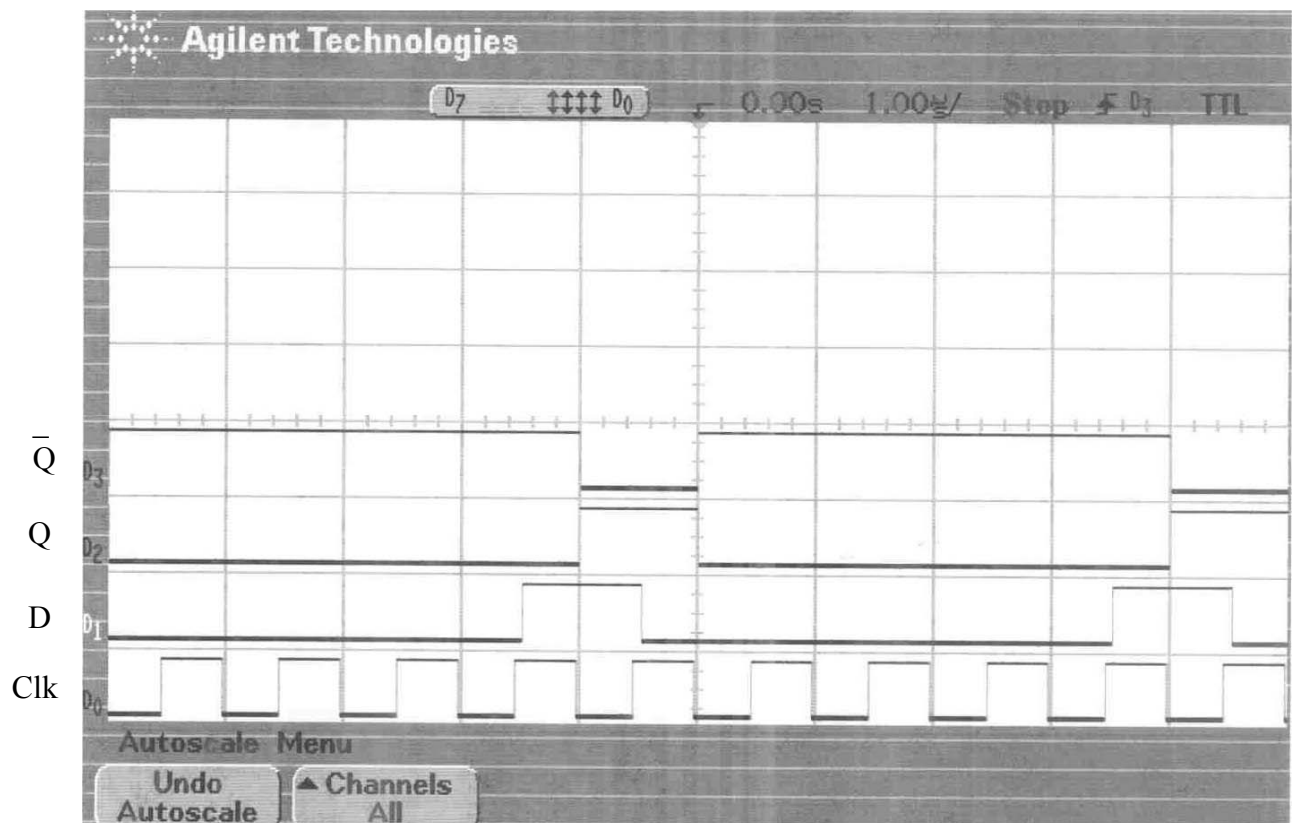


**Dynamische Messung mit einer Clock-Frequenz von 1MHz**

Messaufbau:

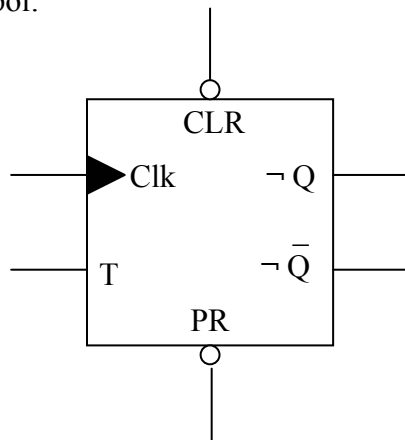


Versuchsdurchführung:



### 3.6 Erweiterung des D-MS-FF zu einem T-MS-FF mit negativer Aktivflanke

Symbol:



$$Q^{t+1} = \bar{T} \cdot Q^t + T \cdot \bar{Q}^t$$

T = 1    toggeln  
T = 0    speichern

Entwicklung aus D-MS-FF:

Funktionstabelle:

T	$Q^t$	$Q^{t+1}$	D
0	0	0	0
0	1	1	1
1	0	1	1
1	1	0	0

KV-Diagramm:

D:

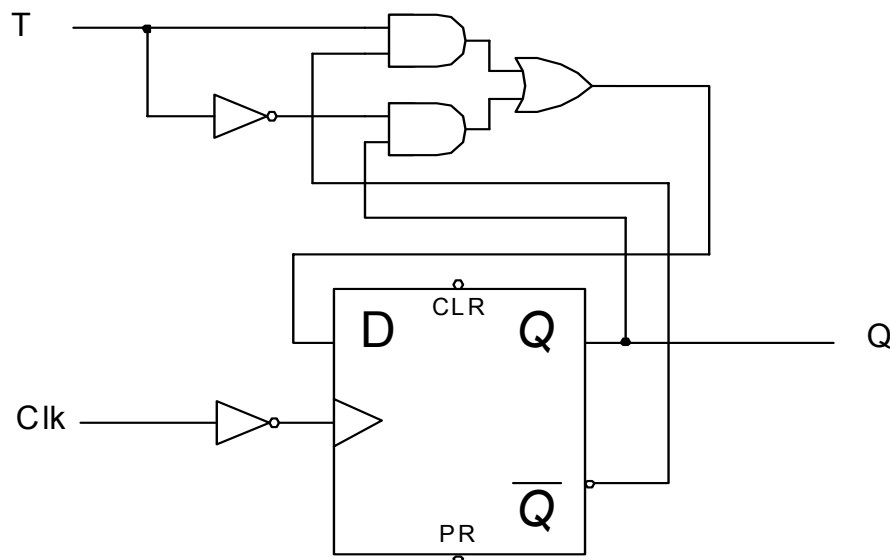
$Q^t$	
1	0
0	1

} T

$$D = \bar{T} \cdot Q^t + T \cdot \bar{Q}^t$$

$$D = T \oplus Q^t$$

Schaltbild:

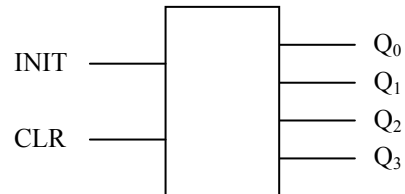


## 4 Synchrone Schaltwerke

### 4.1 Binärer synchroner 4 Bit Ringzähler für die Zählfolge 2,3,4,5

Entwicklung mit D-MS-FF:

Symbol:

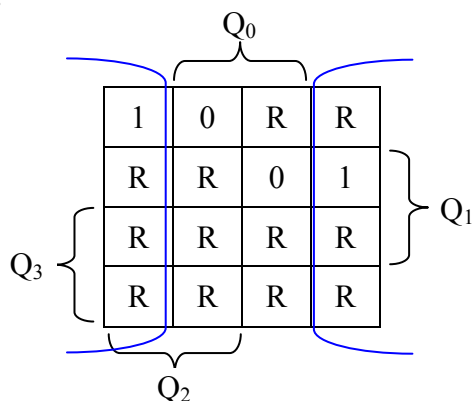


Funktionstabelle:

Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	Dez	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
0	0	0	0	0	R			
0	0	0	1	1				
0	0	1	0	2	0	0	1	1
0	0	1	1	3	0	1	0	0
0	1	0	0	4	0	1	0	1
0	1	0	1	5	0	0	1	0
0	1	1	0	6	R			
0	1	1	1	7				
1	0	0	0	8				
1	0	0	1	9				
1	0	1	0	10				
1	0	1	1	11				
1	1	0	0	12				
1	1	0	1	13				
1	1	1	0	14				
1	1	1	1	15				

KV-Diagramme:

D<sub>0</sub>:



$$D_0 = \overline{Q_0}$$

**D<sub>1</sub>:**

$Q_0$							
0	1	R	R				
R	R	0	1				
R	R	R	R				
R	R	R	R				
$Q_2$				$Q_1$			
$Q_3$							

$$D_1 = Q_0 \cdot Q_2 + \overline{Q_0} \cdot \overline{Q_2}$$

$$D_1 = \overline{Q_0} \oplus Q_2$$

**D<sub>2</sub>:**

$Q_0$							
1	0	R	R				
R	R	1	0				
R	R	R	R				
R	R	R	R				
$Q_2$				$Q_1$			
$Q_3$							

$$D_2 = Q_0 \cdot \overline{Q_2} + \overline{Q_0} \cdot Q_2$$

$$D_2 = Q_0 \oplus Q_2$$

**D<sub>3</sub>:**

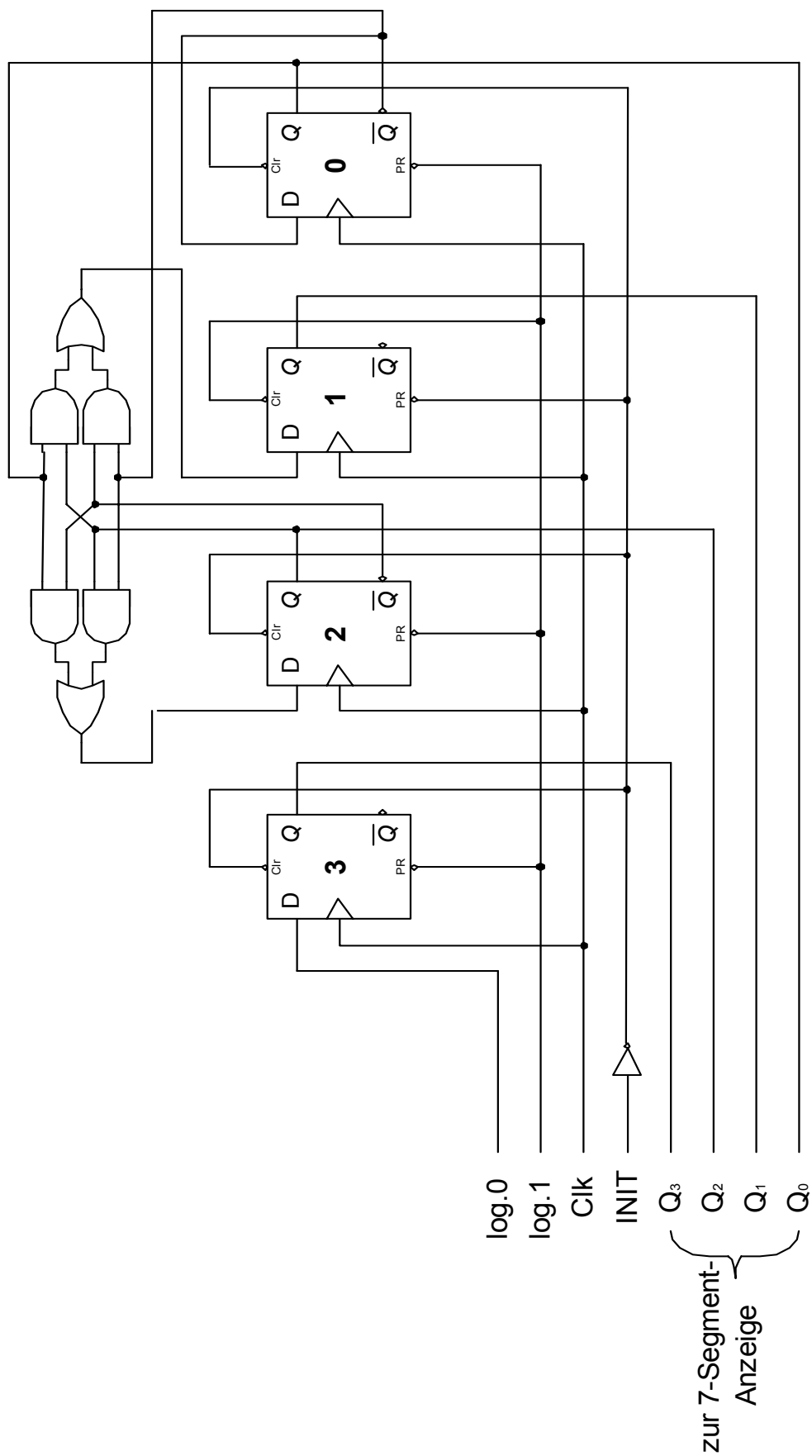
$Q_0$							
0	0	R	R				
R	R	0	0				
R	R	R	R				
R	R	R	R				
$Q_2$				$Q_1$			
$Q_3$							

$$D_3 = 0$$

Maximale Betriebsfrequenz :

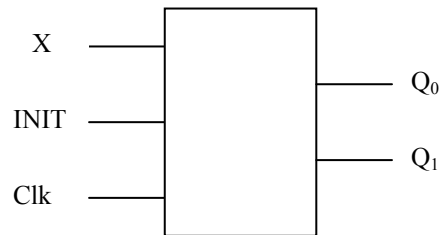
$$f_{\max} = \frac{1}{2 \cdot t_{\text{delay}, D \rightarrow Q}} = \frac{1}{2 \cdot 70 \text{ ns}} = 7 \text{ MHz}$$

Schaltplan:



## 4.2 Binärer synchroner 2-Bit-Ringzähler mit T-MS-FF

Symbol:



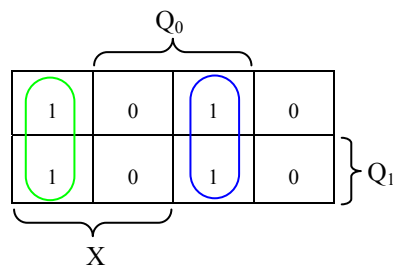
Logische Funktion der Ausgänge:

X	Q <sub>1</sub>	Q <sub>0</sub>	Dez	T <sub>1</sub>	T <sub>2</sub>
0	0	0	0	0	1
0	0	1	1	1	1
0	1	0	2	0	1
0	1	1	3	1	1
1	1	1	3	0	1
1	1	0	2	1	1
1	0	1	1	0	1
1	0	0	0	1	1

T<sub>0</sub>:

$$T_0 = 1$$

T<sub>1</sub>:



$$T_1 = Q_0 \cdot \overline{X} + \overline{Q_0} \cdot X$$

$$T_1 = Q_0 \oplus X$$

Logische Funktion für den INIT-Eingang:

Bei Vorwärtsrichtung soll der Zähler beim nächsten aktiven Clock bei 0 beginnen.  
Bei Rückwärtsrichtung soll der Zähler beim nächsten aktiven Clock bei 3 beginnen.

X	Init	CLR	PR
0	0	1	1
0	1	1	0
1	0	1	1
1	1	0	1

CLR:

I	
1	1
0	1
X	

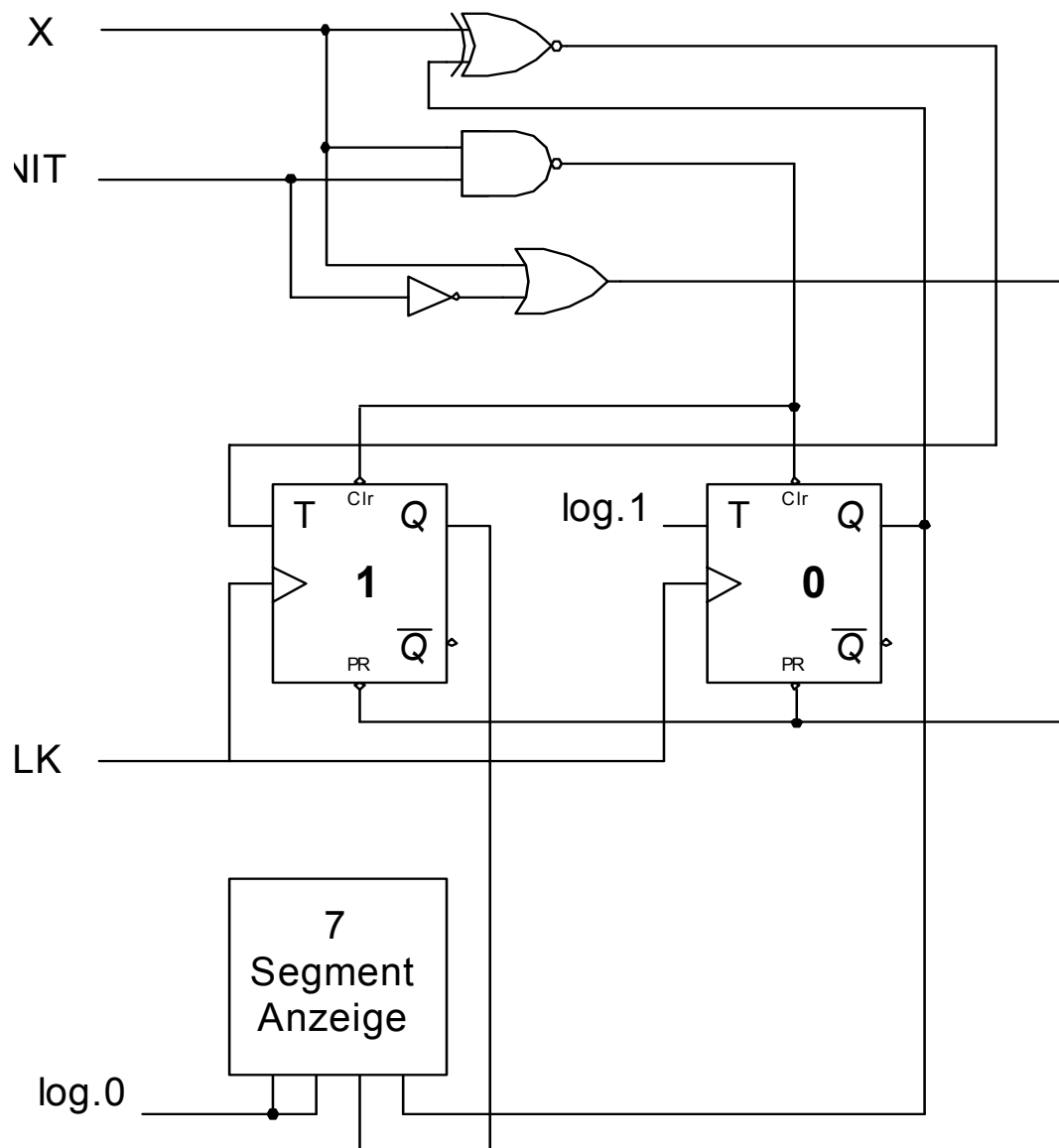
$$CLR = \overline{X} + \overline{I} = \overline{X \cdot I}$$

PR:

I	
0	1
1	1
X	

$$CLR = X + \overline{I}$$

Schaltbild:



T-MS-FF aus D-MS-FF erstellen:

